

F-019

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-235852

(43) 公開日 平成7年(1995)9月5日

(51) Int. Cl. <sup>4</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 H 7/075	A	8321-5 J		
H 0 1 F 27/00		8123-5 E	H 0 1 F 15/ 00	D

審査請求 未請求 請求項の数 1 O L (全 4 頁)

(21) 出願番号 特願平6-25378

(22) 出願日 平成6年(1994)2月23日

(71) 出願人 000006264

三菱マテリアル株式会社

東京都千代田区大手町1丁目5番1号

(72) 発明者 内田 彰

埼玉県秩父郡横瀬町大字横瀬2270番地 三

菱マテリアル株式会社セラミックス研究所

内

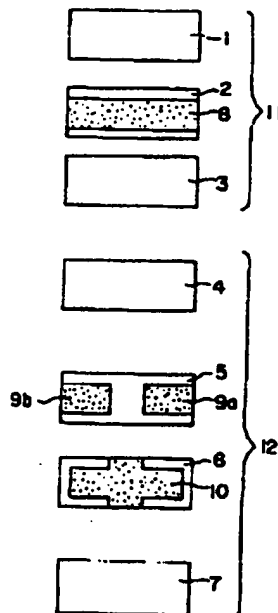
(74) 代理人 弁理士 小杉 佳男 (外2名)

(54) 【発明の名称】 バイ形フィルタ

(57) 【要約】

【目的】 本発明は、電子機器のノイズ除去等に用いられるバイ形フィルタに関し、低コストかつ安定した製造を可能とする。

【構成】 コンデンサ部 1 を形成するシート 1～3 とフェライトビーズ部 2 を形成するシート 4～7 が誘電体と磁性体との混合体を含有する。



1

## 【特許請求の範囲】

【請求項1】 誘電体を含む第1の層と、該第1の層の両面に形成されるとともに少なくとも該第1の層の一面側が複数に分層されてなる内部電極とから形成された複数のコンデンサ素子を有するコンデンサ部、および、磁性体を含む複数の第2の層と、該複数の第2の層に挟まれた内部電極とから形成されるインダクタ素子を有するフェライトビーズ部が互いに積層されるとともに、前記複数のコンデンサ素子と、前記インダクタ素子とによりバイ形フィルタ回路が形成されてなるバイ形フィルタであって、前記コンデンサ部を形成する前記第1の層と前記フェライトビーズ部を形成する前記第2の層が、誘電体と磁性体との混合物を含有するものであることを特徴とするバイ形フィルタ。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、電子機器のノイズ除去等に用いられるバイ形フィルタに関する。

【0002】

【従来の技術】 従来、電子機器の高周波ノイズ対策用としてチップコンデンサ、フェライトチップビーズ、T形EMIフィルタ等の電子チップ部品が販売されているが、バイ形のチップフィルタは販売されていない。このため、バイ形フィルタが必要な場合は、チップコンデンサとフェライトチップビーズを組み合わせて使用している。

【0003】

【発明が解決しようとする課題】 バイ形のチップフィルタが一般に販売されていない理由は、その製作の困難性にある。すなわち、チップコンデンサを構成する誘電体とフェライトチップビーズを構成する磁性体を積層して同時に焼成すると誘電体と磁性体との収縮の違いによりクラックが発生してしまい、そのままでは安定した製造を行うことはできない。このため、バイ形のチップフィルタを製造するには、チップコンデンサとフェライトチップビーズを互いに独立した工程で焼成した後、貼り合わせる必要があり、工数、コストがかかるという問題がある。

【0004】 本発明は、上記事情に鑑み、低コストかつ安定した製造が可能なバイ形フィルタを提供することを目的とする。

【0005】

【課題を解決するための手段】 上記目的を達成する本発明のバイ形フィルタは、誘電体を含む第1の層と、その第1の層の両面に形成されるとともに少なくともその第1の層の一面側が複数に分層されてなる内部電極とから形成された複数のコンデンサ素子を有するコンデンサ部、および、磁性体を含む複数の第2の層と、それら複数の第2の層に挟まれた内部電極とから形成されるイン

2

ダクタ素子を有するフェライトビーズ部が互いに積層されるとともに、上記複数のコンデンサ素子と、上記インダクタ素子とによりバイ形フィルタ回路が形成されてなるバイ形フィルタであって、上記コンデンサ部を形成する第1の層と上記フェライトビーズ部を形成する第2の層が、誘電体と磁性体との混合物を含有するものであることを特徴とするものである。

【0006】 ここで、本発明において、コンデンサ部には誘電体リッチの混合物を用い、フェライトビーズ部には磁性体リッチの混合物を用いてもよい。

【0007】

【作用】 本発明のバイ形フィルタは、コンデンサ部を形成する第1の層とフェライトビーズ部を形成する第2の層が誘電体と磁性体との混合物を含有するものであるため、収縮率の相違によるクラックの発生等が防止される。したがって、コンデンサ部とフェライトビーズ部を互いに積層した後焼成することができ、従来のように独立した工程で焼成して張り合わせるという手間は不要であり、工数、コストが削減される。

【0008】 尚、誘電体と磁性体とを混合すると、誘電率の低下、初期透磁率の低下を来すが、近年パーソナルコンピュータ等のクロック信号はますます高速化してきており、一方、ノイズ対策に使用されるコンデンサの容量値は1000pF以下が主流になってきている。したがって誘電体に磁性体を混合することにより誘電率が低下しても容量値的には全く問題はない。また、初期透磁率にしても高周波ノイズ対策の観点から考えれば若干低下しても十分なノイズ除去効果があり、この点も問題はない。

【0009】

【実施例】 以下、本発明の実施例について説明する。図1は、積層されるシートの一例を積層順に並べた平面図である。ここでは図示の7枚のグリーンシート1～7が用意される。それらのグリーンシート1～7は、ポリエステルベースシートに誘電体と磁性体との混合物スラリーをドクターブレード法によりコーティングし乾燥することにより形成される。ここで用いた誘電体材料は、 $PbO, La_2O_3, ZrO_2, TiO_2$ を湿式混合し、1150℃2時間焼成後湿式ミルで粉砕した、平均粒径0.1μmの粉体であり、 $Pb_{0.15}La_{0.15}Zr_{0.15}Ti_{0.15}O_{0.55}$ の組成を有するものである。また、ここで用いた磁性体材料は、 $NiO, ZnO, CuO, Fe_2O_3$ を湿式混合し、1000℃2時間焼成後湿式ミルで粉砕した、平均粒径0.1μmの粉体であり、 $Ni_{0.15}Zn_{0.15}Cu_{0.15}Fe_{0.15}O_{1.55}$ の組成を有するものである。

【0010】 ここでは、上記の混合物として、上述の誘電体材料と磁性体材料を各々仮焼した後、粉砕し、60:40の重量比で混合し、更にバインダを入れて粉砕したものを用いた。尚、上記混合物には、上記誘電体と

3

磁性体の他、それら誘電体と磁性体との反応防止と焼結強度低下のための改良剤を加えることが好ましい。ここでは、以下の改良剤を加えたものと加えないものとの双方について実験を行なった。改良剤としては、 $\text{CdO}$ 、 $\text{ZnO}$ 、 $\text{B}_2\text{O}_3$ を1:1:1のモル比で混合し、900℃1時間焼成後ミル粉砕し、平均粒径0.1 $\mu\text{m}$ の粉体としたものを用いた。改良剤を加えるときは、誘電体:磁性体:改良剤を40:60:1.5重量比とした。

【0011】以上のようなグリーンシート1~7を形成した後、グリーンシート2, 5, 6にそれぞれ図示の形状となるように導電性ペーストをスクリーン印刷法により印刷し、これにより内部電極8, 9a, 9b, 10を形成した。これらの内部電極8, 9a, 9b, 10のうち、内部電極2は磁性体に取り囲まれてインダクタ素子を構成し、内部電極9a, 9b, 10は、誘電体を選んで2つのコンデンサ素子を構成する。

【0012】以上のようにして形成されたフェライトビーズ部11を構成する3枚のグリーンシート1~3およびコンデンサ部12を構成する4枚のグリーンシート5~7を全て積層し、約1時間焼成して焼結体を得た。焼成温度は、改良剤を加えない混合体を用いた場合は1030℃、改良剤を加えた混合体の場合は950℃である。

【0013】図2は、この実施例におけるバイ形チップフィルタの外観斜視図、図3はそのバイ形フィルタ回路の等価回路図である。上記のようにして焼結体を得た後、その焼結体の側面から内部電極8, 9a, 9b, 10が露出するようにその焼結体をパレル研磨し、内部電極8, 9a, 9b, 10が露出した部分に、それぞれ、 $\text{Ag}$ を主成分とした導電性ペーストを塗布し、これにより、内部電極8及び内部電極9aと接続された電極13、内部電極8及び内部電極9bと接続された電極14、さらに内部電極11と接続された電極15a, 15bを形成した。

【0014】これを図3に示す等価回路と対照すると、内部電極9aと内部電極10、およびそれらの内部電極9a, 10に挟まれた誘電体によりコンデンサ素子16が形成され、内部電極9bと内部電極10、およびそれらの内部電極9a, 10に挟まれた誘電体によりコンデンサ素子17が形成され、さらにそれら2つのコンデンサ素子16, 17の間を結ぶように、内部電極8およびその内部電極8を取り巻く磁性体によりインダクタ素子

4

18が形成され、これにより、全体としてバイ形フィルタ回路が構成されている。

【0015】上記のように製作したバイ形チップフィルタの特性を調べたところ良好であり、また分解して観察しても、クラック等の発生は見られなかった。尚、上記実施例では、グリーンシート1~7の全てについて同一組成の混合体を用いられているが、フェライトビーズ部11を構成するグリーンシート1~3には磁性体リッチの混合体を用い、コンデンサ部12を構成するグリーンシート4~7には誘電体リッチの混合体を用いてもよい。

【0016】図4は、積層されるシートの他の例を積層順に並べた平面図である。図1に示すシートと同一の構成部分には図1に付した符号を付して示し、相違点についてのみ説明する。図4に示す例では、シート5に内部電極9cが形成されている。この内部電極9cは、図2に示すように完成した状態ではシート6の内部電極10と接続され、グラウンドとして使用される。この場合、2つのコンデンサ16, 17がグラウンドとして内部電極9cにより分離されることになり、それらのコンデンサ16, 17間のクロストークの低減化が図られる。

【0017】

【発明の効果】以上説明したように、本発明によれば、誘電体と磁性体の収縮率の相違によるクラックの発生等が防止され、コンデンサ素子とインダクタ素子を互いに積層して同時に安定的に焼成することができ、工数、コストが低減化される。

【両面の簡単な説明】

【図1】積層されるシートの一例を積層順に並べた平面図である。

【図2】バイ形チップフィルタの外観斜視図である。

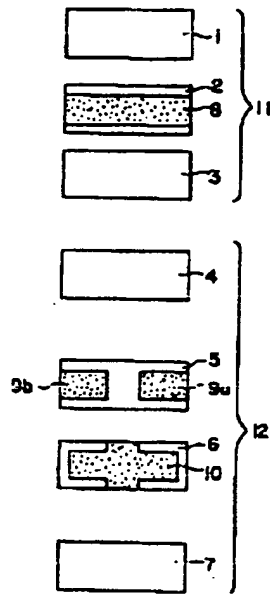
【図3】バイ形フィルタ回路の等価回路図である。

【図4】積層されるシートの他の例を積層順に並べた平面図である。

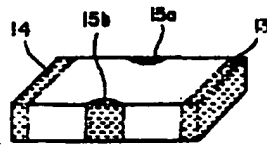
【符号の説明】

- 1, 2, ..., 7 グリーンシート
- 8, 9a, 9b, 9c, 10 内部電極
- 11 フェライトビーズ部
- 12 コンデンサ部
- 13, 14, 15a, 15b 電極
- 16, 17 コンデンサ素子
- 18 インダクタ素子

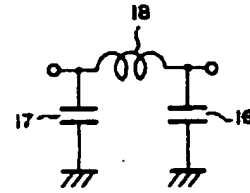
【図1】



【図2】



【図3】



【図4】

